

類 科：專利師

科 目：計算機結構

考試時間：2小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

- 一、(一)什麼叫做一個位址的指令集 (one-address instruction set) ? (4分)
(二)什麼叫做零個位址的指令集 (zero-address instruction set) ? (4分)
(三)零個位址的指令集的電腦比起一個位址的指令集的電腦優缺點何在? (6分)
(四)請利用一個位址的指令集寫出將記憶體中的兩數 A 和 B 相加，然後結果存回 C 的組合語言程式，並說明每個指令的意義。(8分)
(五)請用零個位址的指令集寫同樣的程式，並說明每個指令的意義。(8分)
- 二、(一)假設一個 CPU 的 clock rate 為 8 GHz，那麼其 cycle time 為幾秒? (4分)
(二)一個程式在一個 clock rate 為 4GHz 的 CPU 需要 10 秒的執行時間，假設我們改進了這個 CPU 的設計，讓同樣的程式可以在 8 秒執行完畢，但所需的 CPU cycle 變成原來的 1.2 倍，那麼現在新 CPU 的 clock rate 為多少 GHz? (12分)
- 三、設計一個一位元的全加法器，假設輸入為 A、B、Carry-in，輸出為 C、Carry-out，寫出其真假值表。(8分)並畫出其簡化過後的邏輯閘圖。(12分)
- 四、假設一個指令可以分成指令擷取 (instruction fetch)、指令解碼 (instruction decode)、指令執行 (instruction execution)、結果存回 (result store) 四個步驟。請問：
(一)若我們按照此四個步驟來做 pipeline 執行，對一個有 1000 個指令的程式，本來需要 10 秒的執行時間，採用 pipeline 後最快可在幾秒內執行完畢? (10分)
(二)若其中的第 101 個指令無法 pipeline，必須等第 100 個指令執行完後才可以執行，其他指令都可以 pipeline，那麼在此情況下程式多快可以執行完畢? (10分)
- 五、假設一個程式的指令 cache 的錯失率 (miss ratio) 為 2%，資料 cache 的錯失率為 4%。如果 CPU 執行一個指令需 2 個 cycle time，而一個 cache 錯失 (不管是指令或資料) 的代價是 100 個 cycle time。假設程式中有 36% 的指令會使用到資料 cache，那麼此程式執行的時間會是在完美 cache (0% 錯失率) 情況下的幾倍? (14分)